

10/25/00
jc943 U.S. PTO

10-26-00

A

FISH & RICHARDSON P.C.

225 Franklin Street
Boston, Massachusetts
02110-2804

Telephone
617 542-5070

Facsimile
617 542-8906

Web Site
www.fr.com

jc841 U.S. PTO
09/29/00
10/25/00

Frederick P. Fish
1855-1930

W.K. Richardson
1859-1951

October 25, 2000

Attorney Docket No.: 10449-022001

Box Patent Application
Commissioner for Patents
Washington, DC 20231

Presented for filing is a new original patent application of:

Applicant: TOHRU WATANABE

Title: IMAGE SIGNAL PROCESSOR AND DEFICIENT PIXEL
DETECTION METHOD

Enclosed are the following papers, including those required to receive a filing date
under 37 CFR §1.53(b):

	<u>Pages</u>
Specification	18
Claims	5
Abstract	1
Declaration	1
Drawing(s)	9

Enclosures:

- Assignment cover sheet and an assignment, 2 pages, and a separate \$40 fee.
- Postcard.

Under 35 USC 119, this application claims the benefit of three foreign priority
applications filed in Japan, serial number 2000-282166, filed September 18, 2000;

CERTIFICATE OF MAILING BY EXPRESS MAIL

Express Mail Label No. EL245474077US

I hereby certify under 37 CFR §1.10 that this correspondence is being
deposited with the United States Postal Service as Express Mail Post
Office to Addressee with sufficient postage on the date indicated below
and is addressed to the Commissioner for Patents, Washington,
D.C. 20231.

Date of Deposit October 25, 2000

Signature Samantha Bell

Typed or Printed Name of Person Signing Certificate
Samantha Bell

BOSTON
DALLAS
DELAWARE
NEW YORK
SAN DIEGO
SILICON VALLEY
TWIN CITIES
WASHINGTON, DC

09/29/00 10/25/00

FISH & RICHARDSON P.C.

Commissioner for Patents
October 25, 2000
Page 2



serial number 11-305805, filed October 27, 1999; serial number 11-307125, filed October 28, 1999.

Basic filing fee	\$710
Total claims in excess of 20 times \$18	\$0
Independent claims in excess of 3 times \$80	\$0
Fee for multiple dependent claims	\$0
Total filing fee:	\$710

A check for the filing fee is enclosed. Please apply any other required fees or any credits to deposit account 06-1050, referencing the attorney docket number shown above.

If this application is found to be incomplete, or if a telephone conference would otherwise be helpful, please call the undersigned at (617) 542-5070.

Kindly acknowledge receipt of this application by returning the enclosed postcard.

Please send all correspondence to:

ERIC L. PRAHL
Fish & Richardson P.C.
225 Franklin Street
Boston, MA 02110-2804

Respectfully submitted,

A handwritten signature in black ink, appearing to read "Eric L. Prahl".

Eric L. Prahl
Reg. No. 32,590
Enclosures
ELP/vbb
20146738.doc

画像信号処理装置及び欠陥画素の検出方法

発明の背景

本発明は、画像信号処理装置に関し、詳しくは、画像信号に含まれる欠陥を検出し、その欠陥を補正する画像信号処理装置及び欠陥画素を検出する検出方法に関する。

CCDイメージセンサ等の固体撮像素子において、受光レベルに関係なく常に一定の電荷が画素に蓄積され、同画素が固定レベルの画像信号を出力するような欠陥画素が生じることがある。

このため、再生画面上に欠陥画素の影響が現れないように、固体撮像素子から得られる欠陥画素の画像信号に対して欠陥補正処理が行われる。

図1は、撮像装置100の概略的なブロック図である。撮像装置100は、CCDイメージセンサ1、駆動回路2、タイミング制御回路3、信号処理回路4、欠陥補正回路5、及び補正情報メモリ6を備える。

CCDイメージセンサ1は、マトリクス状に配置された複数の受光画素（図示せず）を有し、各受光画素には、受光した被写体画像に応じた電荷が蓄積される。このCCD1は、垂直駆動信号 ϕ_v 及び水平駆動信号 ϕ_H に従って、各受光画素に蓄積された電荷を1ライン単位で転送し、所定のフォーマットに従う画像信号Y0を生成する。

駆動回路2は、垂直同期信号VD及び水平同期信号HDに従い、CCD1を駆動する垂直駆動信号 ϕ_v 及び水平駆動信号 ϕ_H を生成し、それらの信号をCCD1に供給する。

タイミング制御回路3は、一定周期を有する基準クロックを分周して垂直走査のタイミングを決定する垂直同期信号VD及び水平走査のタイミングを決定する水平同期信号HDを生成し、同期信号VD、HDを駆動回路2に供給する。例えば、NTSCフォーマットの場合、14.32MHzの基準クロックを910分周することにより水平同期信号HDが生成され、この水平同期信号を525/2分周することにより垂直同期信号VDが生成される。また、タイミング制御回路3は、信号処理回路4及び欠陥補正回路5に対して、CCD1の動作タイミング

と同期するタイミング信号を供給する。

信号処理回路 4 は、CCD 1 から供給される画像信号 Y0 に対して、サンプルホールド処理及びレベル補正処理を施し、画像信号 Y1 を生成する。画像信号 Y0 は信号レベルとリセットレベルとを繰り返す。サンプルホールド処理において、信号処理回路 4 は、例えばリセットレベルをクランプすることにより、画像信号 Y0 から信号レベルを有する画像信号 Y1 を生成する。また、レベル補正処理において、信号処理回路 4 は、画像信号 Y1 の平均レベルが目標範囲内に収められるよう、ゲインの帰還制御を画像信号 Y0 に対して施す。信号処理回路 4 は、画像信号 Y0 をサンプルホールドし、サンプルホールドされた画像信号 Y0 を A/D 変換することによりデジタル画像信号 Y1 を生成する。

欠陥補正回路 5 は、補正情報メモリ 6 に格納された補正情報を用いて、画像信号 Y1 に対して欠陥補正処理を施す。例えば、欠陥のある画素の情報は、その前後の画素の情報の平均値に置き換えられる。

補正情報メモリ 6 は、CCD 1 の欠陥画素の位置を格納する。例えば、予め CCD 1 の出力をモニタすることにより欠陥画素の位置が検出され、その検出結果が補正アドレス情報としてメモリ 6 に格納される。

同一工程で製造された半導体基板から複数の CCD 1 が形成されていたとしても、各 CCD 1 毎に欠陥画素の発生する位置が異なる。そのため、各 CCD 1 毎に欠陥画素の位置を検出することにより補正アドレス情報を生成する必要がある。このため、組立工程におけるコストが増大する。

また、CCD 1 の欠陥画素は、経時変化によって増えることがあり、そのような経時変化が生じた場合には、補正情報メモリ 6 の補正アドレス情報を書き換えなければならない。しかし、撮像装置の一般的な使用者は、補正情報メモリ 6 の内容を書き換えるための手段を備えていないため、補正情報アドレスの書き換えは困難である。

発明の要旨

本発明の目的は、撮像素子の経時変化による欠陥画素に対応できるとともに、低コストな画像信号処理装置を提供することにある。

上記の目的を達成するため本発明の第1の態様は、複数の画素の信号を処理するための画像信号処理装置を提供する。その画像信号処理装置は、目標画素に対応する信号と目標画素に隣接する複数の周辺画素に対応する信号を格納する画像メモリ回路と、前記画像メモリ回路に接続され、前記目標画素の信号を前記複数の周辺画素の信号に応じて設定される判定基準値と比較して欠陥画素の候補を検出する欠陥候補検出回路と、前記欠陥候補検出回路に接続され、同検出回路により検出された欠陥画素候補の複数の画面に渡る連続性に従って欠陥画素を判定する欠陥判定回路と、前記欠陥判定回路に接続され、同判定回路で判定された欠陥画素の位置の情報を格納する位置メモリ回路と、前記位置メモリ回路に接続され、同メモリ回路に格納された欠陥情報に応じて欠陥のある目標画素の信号を補正する欠陥補正回路とを備える。

本発明の第2の態様は、複数の画素における欠陥画素を検出するための方法を提供する。その方法は、目標画素の信号を目標画素に隣接する複数の周辺画素の信号に応じて設定される判定基準値と比較して欠陥画素の候補を検出するステップと、検出された欠陥画素候補の位置を記憶するステップと、前記記憶ステップで格納された位置に対応する目標画素の信号と前記判定基準値とを再度比較するステップと、前記再度比較ステップの比較結果を記憶するステップと、前記再度比較ステップ及び比較結果記憶ステップを所定回数繰り返すステップと、前記繰り返しステップによって得られる複数の比較結果に従って欠陥画素を検出するステップとを備える。

本発明の第3の態様は、複数の画素における欠陥画素を検出するための方法を提供する。その方法は、目標画素の信号を目標画素に隣接する複数の周辺画素の信号に応じて設定される判定基準値と比較して第1の欠陥画素の候補を検出するステップと、第1の欠陥画素候補の位置を記憶するステップと、目標画素の信号を前記判定基準値と比較して第2の欠陥画素の候補を検出するステップと、前記第1の欠陥画素候補の位置と前記第2の欠陥画素候補の位置とが一致するかどうかを判定するステップと、前記記憶された第1の欠陥画素候補の位置情報を、前記一致判定ステップで一致すると判定された第1の欠陥画素候補の位置の情報のみが残るように、更新するステップと、前記第2の欠陥候補検出ステップ、前記

一致判定ステップ、及び前記更新ステップとを所定回数繰り返すステップと、前記繰り返しステップによって得られる欠陥画素候補の位置情報に従って欠陥画素を検出するステップとを備える。

本発明の他の態様及び利点は本発明の原理の例を示している図面と共に以下の記載から明らかとなる。

図面の簡単な説明

本発明の新規であると思われる特徴は、特に添付した請求の範囲において明らかとなる。目的及び利点を伴う本発明は、以下に示す現時点における好ましい実施態様の説明を添付の図面を参照することにより理解されるであろう。

図 1 は、従来の固体撮像装置の概略的なブロック図である。

図 2 は、本発明の第 1 の実施形態の画像信号処理装置の概略的なブロック図である。

図 3 は、図 2 の画像信号処理装置の画像メモリ回路の概略的なブロック図である。

図 4 は、目標画素と周辺画素との位置関係を示す画素の概略的な平面図である。

図 5 は、図 2 の画像信号処理装置の欠陥候補検出回路の概略的なブロック図である。

図 6 は、判定基準値と周辺画素のレベルとの関係を示す図である。

図 7 は、欠陥判定回路の動作を説明するフローチャートである。

図 8 は、図 2 の画像信号処理装置のアドレス発生回路の概略的なブロック図である。

図 9 は、画面上の欠陥画素のアドレスを説明する画素の概略的な平面図である。

図 10 は、図 2 の画像信号処理装置の欠陥補正回路の概略的なブロック図である。

図 1 1 は、本発明の第 2 の実施形態の画像信号処理装置の概略的なブロック図である。

図 1 2 は、本発明の第 3 の実施形態の画像信号処理装置の概略的なブロック図である。

図 1 3 は、本発明の第 4 の実施形態の画像信号処理装置の概略的なブロック図である。

図 1 4 は、本発明の欠陥画素の第 1 の検出方法を説明するフローチャートである。

図 1 5 は、本発明の欠陥画素の第 2 の検出方法を説明するフローチャートである。

好適な実施形態の詳細な説明

「第 1 の実施形態」

図 2 は、本発明の第 1 の実施形態の画像信号処理装置 1 0 の概略的なブロック図である。第 1 の本実施形態の画像信号処理装置 1 0 は固体撮像装置に適用される。

図 2 に示されるように、画像信号処理装置 1 0 は、画像メモリ回路 1 1、欠陥候補検出回路 1 2、位置メモリ回路 1 3、欠陥判定回路 1 4、欠陥登録回路 1 5 及び欠陥補正回路 1 6 を備える。撮像装置においては、撮像素子の出力信号に対して所定の処理がされた後、その処理された信号に対して A/D 変換を行うことによりデジタル画像信号 $Y(n)$ が生成される。画像信号処理装置 1 0 は、欠陥画素の画像信号 $Y(n)$ に対して補正処理を行う。

画像メモリ回路 1 1 は、複数のラインメモリ 2 1、2 2 と複数のラッチ 2 3 ~ 2 8（図 3 参照）とを備え、画像信号 $Y(n)$ を 1 行単位で取り込み、目標画素 P_0 に対応する画像信号 $Y(P_0)$ と、その周辺画素 $P_1 \sim P_8$ （図 4 参照）に対応する画像信号 $Y(P_1) \sim Y(P_8)$ とを同時に生成する。

欠陥候補検出回路 1 2 は、画像メモリ回路 1 1 から供給される周辺画素 $P_1 \sim P_8$ の画像信号 $Y(P_1) \sim Y(P_8)$ から白欠陥を判定するための第 1 の判定基準値 L_w と黒欠陥を判定するための第 2 の判定基準値 L_b とを生成する。欠陥候補検出

回路 1 2 は、第 1 及び第 2 の判定基準値 L_w 、 L_b と画像信号 $Y(P0)$ とを比較して欠陥画素の可能性を有する画素（以下、欠陥候補と記載）を検出する。

欠陥候補検出回路 1 2 では、固体撮像素子の物理的な欠陥に起因する真の欠陥画素と、被写体の都合で偶発的に欠陥画素と見なされる見かけ上の欠陥画素とが区別なく欠陥候補として検出される。検出回路 1 2 は、欠陥画素の位置を示すアドレス情報を出力する。例えば、画像信号 $Y(n)$ に同期して画素数がカウントされ、欠陥画素が検出されたときのカウント値がアドレス情報として出力される。

位置メモリ回路 1 3 は、スタティックメモリ（SRAM）など高速動作に対応できる揮発性の一次メモリ 1 3 a と、プログラマブルメモリ（EEPROM）などの不揮発性の二次メモリ 1 3 b を含む。位置メモリ回路 1 3 は、欠陥候補検出回路 1 2 及び欠陥判定回路 1 4 から供給されるアドレス情報を示す画素の位置情報を格納する。

一次メモリ 1 3 a は、欠陥画素を判定する過程で一時的に生成されるアドレス情報を格納する。二次メモリ 1 3 b は、欠陥画素の判定処理の結果、最終的に欠陥画素であると判定された画素のアドレス情報を格納する。

欠陥判定回路 1 4 は、位置メモリ回路 1 3 に格納されたアドレスに対応した画素が真の欠陥画素であるかどうかを、欠陥候補の複数の画面にわたっての連続性に基づいて判定する。即ち、欠陥画素が被写体の都合で偶発的に検出された場合には、その欠陥画素はある程度の時間が経過した後には検出されなくなる。そのため、欠陥判定回路 1 4 では、所定のフィールド期間連続的に欠陥画素が検出されたとき、真の欠陥画素が判定される。

例えば、位置メモリ回路 3 に格納されたアドレスの画素が、複数の画面で連続して欠陥候補検出回路 1 2 によって欠陥候補と判定されることにより欠陥画素の連続性が判断される。あるいは、欠陥候補検出回路 1 2 を複数の画面で連続して動作させながら、各画面毎に得られる欠陥候補を示すアドレス情報を対比することで、欠陥画素の連続性が判断される。なお、欠陥判定回路 1 4 における検出動作が欠陥候補検出回路 1 2 の検出動作と同一の場合、検出回路 1 2 の一部を共有するようにしてもよい。

欠陥登録回路 1 5 は、欠陥判定回路 1 4 において、真の欠陥画素であると判定

された画素のアドレス情報を位置メモリ回路 1 3 に供給する。

欠陥補正回路 1 6 は、欠陥登録回路 1 5 によって位置メモリ回路 1 3 に格納されたアドレス情報に従って、欠陥画素の画像信号 $Y(P0)$ を補正信号 $Y(c)$ に置き換える。ここで、補正信号 $Y(c)$ は、例えば、目標画素 $P0$ の周辺に配置された複数の周辺画素の画像信号を平均することにより生成される。これにより、欠陥補正回路 1 5 からは、白欠陥及び黒欠陥が補正された画像信号 $Y'(n)$ が出力される。

なお、欠陥画素の検出において、第 1 及び第 2 の判定基準値 Lw 、 Lb の各々を複数のサブ基準値に分け、サブ基準値を用いて欠陥画素候補に重み付けをするようにしてもよい。即ち、所定の第 1 及び第 2 の判定基準値 Lw 、 Lb から大きくはずれた欠陥画素の目立ち方は、わずかにはずれた欠陥画素の目立ち方とは異なる。欠陥候補検出回路 1 2 は、サブ基準値を用いて欠陥画素（信号）のレベルを判定し、その欠陥画素レベルを位置メモリ回路 1 3 に格納する。この場合、例えば位置メモリ回路 1 3 に登録できる欠陥画素の数が制限されているとき、欠陥登録回路 1 5 は、欠陥画素レベルが高い画素を優先的に登録することができる。また、既に位置メモリ回路 1 3 に新しい欠陥画素を登録する余裕がないときには、欠陥登録回路 1 5 は、新たに登録しようとする画素の欠陥レベルと既に登録されている画素の欠陥レベルとを比較し、その比較結果に応じて欠陥画素の情報を書き換える。このようにすれば、画面上で目立ちやすい欠陥画素が優先的に補正される。

次に、画像信号処理装置 1 0 の各回路を詳細に説明する。

図 3 は、画像メモリ回路 1 1 の概略的なブロック図である。メモリ回路 1 1 は、第 1、第 2 のラインメモリ 2 1、2 2 及び第 1～第 6 のラッチ 2 3～2 8 を備える。

第 1 及び第 2 のラインメモリ 2 1、2 2 は、直列に接続されている。画像信号 $Y(n)$ が第 1 のラインメモリ 2 1 に書き込まれ、第 1 のラインメモリ 2 1 から順次読み出される画像信号 $Y(n)$ が第 2 のラインメモリ 2 2 に書き込まれる。従って、順次供給される画像信号 $Y(n)$ に対して、第 1 のラインメモリ 2 1 からは、1 行前の画像信号 $Y(n)$ が読み出され、第 2 のラインメモリ 2 2 からは、2 行前

の画像信号 $Y(n)$ が読み出される。

第1及び第2のラッチ23、24は、直列に接続されている。1画素前の画像信号 $Y(n)$ が第1のラッチ23に保持され、2画素前の画像信号 $Y(n)$ が第2のラッチ24に保持される。図3に示されるように、画像信号 $Y(n)$ が、周辺画素P8に対応する画像信号 $Y(P8)$ として画像メモリ回路11から出力され、第1及び第2のラッチ23、24から周辺画素P7、P6に対応する画像信号 $Y(P7)$ 、 $Y(P6)$ がそれぞれ出力される。

第3及び第4のラッチ25、26は、第1のラインメモリ21に対して直列に接続される。1行前で且つ1画素前の画像信号 $Y(n)$ が第3のラッチ25に保持され、2画素前の画像信号 $Y(n)$ が第4のラッチ26に保持される。従って、第1のラインメモリ21から周辺画素P5に対応する画像信号 $Y(P5)$ が出力され、第3及び第4のラッチ25、26から目標画素P0に対応する画像信号 $Y(P0)$ 及び周辺画素P4に対応する画像信号 $Y(P4)$ がそれぞれ出力される。

同様に、第5及び第6のラッチ27、28は、第2のラインメモリ22に対して直列に接続される。2行前で且つ1画素前の画像信号 $Y(n)$ が第5のラッチ27に保持され、2画素前の画像信号 $Y(n)$ が第6のラッチ28に保持される。従って、第2のラインメモリから周辺画素P3に対応する画像信号 $Y(P3)$ が出力され、第5及び第6のラッチ27、28から周辺画素P2、P1に対応する画像信号 $Y(P2)$ 、 $Y(P1)$ がそれぞれ出力される。

画像メモリ回路11は、画像信号 $Y(n)$ から、目標画素P0の画像信号 $Y(P0)$ と、その周辺に配置された周辺画素P1～P8の画像信号 $Y(P1) \sim Y(P8)$ とを並列に生成する。

図5は、欠陥候補検出回路12の概略的なブロック図である。欠陥候補検出回路12は、平均値算出回路31、最大値検出回路32、最小値検出回路33、第1及び第2の減算器34、35、加算器36、第1及び第2の比較器37、38を備える。

平均値算出回路31は、周辺画素P1～P8の画像信号 $Y(P1) \sim Y(P8)$ を取り込み、平均レベル L_{av} を算出する。

最大値検出回路32は画像信号 $Y(P1) \sim Y(P8)$ のうちの最大レベル L_{max} を検

出し、最小値検出回路 3 3 は最小レベル L_{\min} を検出する。

第 1 の減算器 3 4 は、最大値検出回路 3 2 から供給される最大レベル L_{\max} から、最小値検出回路 3 3 から供給される最小レベル L_{\min} を減算し、レベル差 ΔL を算出する。

第 1 の加算器 3 6 は、平均値算出回路 3 1 から供給される平均レベル L_{av} にレベル差 ΔL を加算し、白欠陥を判定するための第 1 の判定基準値 L_w を生成する。

第 2 の減算器 3 5 は、平均値算出部 3 1 から供給される平均レベル L_{av} からレベル差 ΔL を減算し、黒欠陥を判定するための第 2 の判定基準値 L_b を生成する。

第 1 の比較器 3 7 は、第 2 の減算器 3 5 から供給される第 2 の判定基準値 L_b と目標画素 P_0 の画像信号 $Y(P_0)$ とを比較し、画像信号 $Y(P_0)$ のレベルが判定基準値 L_b に達しなかったとき、Hレベルの検出信号 D_b を生成する。すなわち第 1 の比較器 3 7 は、目標画素 P_0 が黒欠陥であると判定されたとき、Hレベルの検出信号 D_b を生成する。

第 2 の比較器 3 8 は、加算器 3 6 から供給される第 1 の判定基準値 L_w と目標画素 P_0 の画像信号 $Y(P_0)$ とを比較し、画像信号 $Y(P_0)$ のレベルが判定基準値 L_w を超えたとき、Hレベルの検出信号 D_w を生成する。第 2 の比較器 3 8 は、目標画素 P_0 が白欠陥であると判定されたとき、Hレベルの検出信号 D_w を生成する。

図 6 は、目標画素の周辺に存在する周辺画素を表す画像信号のレベルと、これらの画像信号を用いて算出される欠陥画素の判定基準値との関係を示している。図 7 は、欠陥候補検出回路 1 2 が行う欠陥候補判定処理の手順を示すフローチャートである。

第 1 の実施形態の欠陥候補判定処理においては、図 4 に示すように、目標画素 P_0 に隣接する 8 個の周辺画素 $P_1 \sim P_8$ が参照されて、目標画素 P_0 に欠陥があるかどうか判定される。

図 7 に示すステップ S 1 では、平均値算出回路 3 1 は、周辺画素 $P_1 \sim P_8$ の 8 画素分の画像信号 $Y(P_1) \sim Y(P_8)$ の平均レベル L_{av} を算出する。

ステップS 2では、最大値検出回路3 2及び最小値検出回路3 3は、画像信号Y (P1)～Y (P8)の最大レベル L_{\max} 及び最小レベル L_{\min} を検出する。以上の第1のステップS 1及び第2のステップS 2については、順不同で差し支えない。

ステップS 3では、第1の減算器3 4は、最大レベル L_{\max} から最小レベル L_{\min} を減算し、レベル差 ΔL を算出する。

ステップS 4では、第2の減算器3 5は、平均レベル L_{av} から差 ΔL を減算し、黒欠陥を検出するための第2の判定基準値 L_b を生成す。また、加算器3 6は、平均レベル L_{av} に差 ΔL を加算し、白欠陥を検出するための第1の判定基準値 L_w を生成する。

そして、ステップS 5では、第1及び第2の比較器3 7、3 8は、第1及び第2の判定基準値 L_b 、 L_w を目標画素P0の画像信号Y (P0)と比較して欠陥画素の候補を判定し、検出信号 Db 、 Dw をそれぞれ生成する。

第1～第5のステップによって生成された第1の判定基準値 L_w 及び第2の判定基準値 L_b は、周辺画素の状況に応じた値に保たれる。

第1及び第2の判定基準値 L_w 、 L_b は、周辺画素のレベル差 ΔL が小さいとき、平均レベル L_{av} に近くなり、レベル差 ΔL が大きいときは、平均レベル L_{av} から離れる。従って、画面上で濃淡の差が小さい画素領域では第1及び第2の判定基準値 L_w 、 L_b の範囲が狭くなり、逆に、濃淡の差が大きい画素領域では第1及び第2の判定基準値 L_w 、 L_b の範囲が広がる。そのため、各画素領域において視覚的に目立ちやすい欠陥画素（欠陥候補）が効率よく検出される。

図8は、欠陥候補検出回路1 2において、欠陥候補の画素アドレス情報を生成するアドレス回路の概略的なブロック図である。

アドレス生成回路1 2 aは、水平カウンタ5 1、垂直カウンタ5 2、水平データラッチ5 3及び垂直データラッチ5 4を備える。

水平カウンタ5 1は、水平同期信号HD1に従ってリセットされ、欠陥候補検出回路1 2の検出動作に同期するクロックCK1に従ってカウントアップ動作を行う。水平カウンタ5 1は、各水平走査期間に、1ライン分の画素数のカウント動作を繰り返すことにより、水平方向の画素番号をカウントする。

垂直カウンタ5 2は、垂直同期信号VD1に従ってリセットされ、水平同期信

号HD1 に従ってカウントアップ動作を行う。垂直カウンタ51は、各垂直走査期間に、1画面分の水平走査線数のカウント動作を繰り返すことにより、垂直方向の画素番号をカウントする。

水平データラッチ53は、水平カウンタ51に接続され、検出信号Db、Dwの何れかに応答して水平カウンタ51のカウント値を取り込む。例えば検出信号Db、Dwのいずれかが立ち上がったとき、水平データラッチ53から水平アドレス信号Fhが出力される。水平アドレス信号Fhは、欠陥候補検出回路12により検出された画素の水平方向の位置を示す

垂直データラッチ54は、垂直カウンタ52に接続され、検出信号Db、Dwの何れかに応答して垂直カウンタ52のカウント値を取り込む。例えば検出信号Db、Dwのいずれかが立ち上がったとき、垂直データラッチ54から垂直アドレス信号Fvが出力される。垂直アドレス信号Fvは、欠陥候補検出回路12により検出された画素の垂直方向の位置を示す

例えば、図9に示すように、6行×8列の画素からなる画面を考えた場合、水平カウンタ51は、「1」～「8」の範囲でカウントを繰り返し、垂直カウンタ52は、「1」～「6」の範囲でカウントを繰り返す。そこで、3行3列目に欠陥候補の画素が存在する場合、検出信号Db、またはDwの立ち上がりに応答して、水平データラッチ53は水平アドレス信号Fh「3」を出力する。検出信号Db、またはDwの立ち上がりに応答して、垂直データラッチ54は垂直アドレス信号Fv「3」を出力する。アドレス信号Fh、Fvは、欠陥候補の画素のアドレスを示し、欠陥判定回路14に供給される。

図10は、欠陥補正回路16の概略的なブロック図である。

欠陥補正回路16は、第1～第4の除算器61～64、第1～第3の加算器65～67、セクタ68、及び比較器69を備える。

補正回路16は、目標画素P0の上下に配置された周辺画素P2、P7の画像信号Y(P2)、Y(P7)と、左右に配置された周辺画素P4、P5の画像信号Y(P4)、Y(P5)を用いて補正信号Y(c)を生成する。

第1～第4の除算器61～64は、画素メモリ回路11から供給される画像信号Y(P2)、Y(P7)、Y(P4)、Y(P5)をそれぞれ「4」で除算する。

第1の加算器65は、第1及び第2の除算器61、62の除算結果を加算し、第2の加算器66は、第3及び第4の除算器63、64の除算結果を加算する。

第3の加算器67は、第1の加算器65の加算結果と第2の加算器66の加算結果とを加算し、補正信号Y(c)を生成する。

セクタ68は、比較器69から供給される選択制御信号Sに応答して、画像信号Y(P0)及び補正信号Y(c)の何れかを選択する。補正信号Y(c)が選択された場合に、欠陥画素の画像信号を補正した画像信号Y'(P0)がセクタ68から出力される。

比較器69は、位置メモリ回路13に格納された水平アドレス信号Fh及び垂直アドレス信号Fvを、水平走査周期で変化する水平参照情報Rh及び垂直参照情報Rvとそれぞれ比較する。比較器69は、水平アドレス信号Fhと水平参照情報Rhが一致し、垂直アドレス信号Fvと垂直参照情報Rvが一致したときに選択制御信号Sを生成する。水平参照情報Rh及び垂直参照情報Rvは、図8に示すアドレス発生回路12aの水平カウンタ51及び垂直カウンタ52を用いて生成することができる。

従って、セクタ68は、欠陥画素の位置を示すアドレス信号Fh、Fvと参照情報Rh、Rvとがそれぞれ一致したときに、目標画素P0の画像信号Y(P0)を補正信号Y(c)に置き換える。この結果、欠陥画素の画像信号は、その周辺画素の情報によって補正される。

「第2の実施形態」

図11は、本発明の第2の実施形態の画像信号処理装置10Aの概略的なブロック図である。

第2の実施形態の画像信号処理装置10Aにおいて、欠陥判定回路14Aは、欠陥画素の連続性に加えて、画像信号Y(n)を生成する撮像装置の撮像条件を用いて目標画素の欠陥を判定する。

欠陥判定回路14Aは、位置メモリ回路13に格納された欠陥候補のアドレス情報に従って、欠陥画素の判定を繰り返し、アドレス情報を更新する。この欠陥画素の判定において、欠陥判定回路14Aは、欠陥候補検出回路12と同様に、

欠陥画素を判定すると共に、撮像装置の動作状態を示す情報を受け取り、その情報に応じて判定基準を変更する。

即ち、被写体画像の輝度が比較的高いときには白欠陥が目立たず、逆に、被写体画像の輝度が比較的低いときには黒欠陥が目立たない。従って、単純に画像信号 $Y(n)$ のレベルのみにしたがって欠陥画素の判定が行われると、真の欠陥画素が判定されないおそれがある。そこで、撮像装置の動作状態を示す露光制御情報 $E(m)$ や利得制御情報 $G(m)$ 等の撮像条件に応じて、欠陥判定回路14Aは、欠陥画素の判定基準を変更するか、または被写体の状態によっては欠陥画素の判定動作を一時的に停止する。例えば、欠陥判定回路14Aは、露光制御情報 $E(m)$ や利得制御情報 $G(m)$ によって被写体輝度を推定し、その推定された被写体輝度がある基準を超えるとときに白欠陥の判定動作を停止し、ある基準に達していないときに黒欠陥の判定動作を停止する。

なお、露光制御情報 $E(m)$ や利得制御情報 $G(m)$ の他、撮像装置において撮像制御に用いられる情報が、判定動作に用いられてもよい。例えば、撮像装置の光学系の焦点を制御するためのフォーカス制御情報を用い、焦点が定まる前に集中的に欠陥判定が行われるようにしてもよい。真の欠陥画素は、撮像装置の光学系の焦点が定まっていないときでも、周辺の画素との間には明らかな差が生じる。従って、焦点が定まる前に欠陥判定を行うことにより、より正確な判定をすることが可能になる。

また、欠陥判定回路14Aが、欠陥画素を画像信号 $Y(n)$ を用いてのみで判定し、その判定結果から得られるアドレス情報に露光制御情報 $E(m)$ や利得制御情報 $G(m)$ 等の制御情報を付加してもよい。即ち、アドレス情報に付加された撮像制御情報に従って、欠陥画素の補正を行う時点で補正処理を施すかどうかを選択することができる。

「第3の実施形態」

図12は、本発明の第3の実施形態の画像信号処理装置10Bの概略的なブロック図である。第3の実施形態の画像信号処理装置10Bは、第1の実施形態の画像信号処理装置10において、さらにエリア指定回路17を備える。

画像信号処理装置 10B は、欠陥候補検出回路 12 の検出動作を行う画像のエリアを制限する。ここで、欠陥判定回路 14 については、第 2 の実施形態の画像信号処理装置 10A と同様に、画像信号 Y(n) と撮像装置の撮像情報とを用いて欠陥画素を判定してもよい。

エリア指定回路 17 は、画像信号 Y(n) の水平走査及び垂直走査のタイミングに同期しつつ、1 画面を複数の領域に分割する。エリア指定回路 17 は、この分割された各領域毎に欠陥候補が検出されるように、欠陥候補検出回路 12 を制御する。例えば、エリア指定回路 17 は、水平走査期間を 4 分割すると共に、垂直走査期間を 3 分割することで、1 画面を 3 行×4 列からなる 12 の領域に分割する。欠陥候補検出回路 12 は、各分割領域毎に欠陥検出動作を行う。

エリア指定回路 17 は、欠陥登録回路 15 からの指示に従って、欠陥画素の検出を行う分割領域を変更する。即ち、エリア指定回路 17 は、1 つの分割領域の欠陥画素のアドレスが確定し、欠陥登録回路 15 が欠陥画素のアドレス情報の登録を完了したとき、分割領域を変更する。なお、分割領域内に欠陥画素が検出されず、欠陥登録回路 15 が欠陥画素の登録を行わなかった場合でも、所定の欠陥検出処理が完了した時点で、分割領域が変更される。これにより、欠陥候補検出回路 12 は、画面上の各分割領域毎に、欠陥画素を検出する。

欠陥候補検出回路 12 では、最終的に欠陥画素として登録される画素よりも多くの画素が検出される。そのため、検出画素のアドレスを一時的に格納するために、位置メモリ回路 13、特に一次メモリ部 13a は大きな容量を必要とする。第 3 の実施形態では、欠陥候補検出回路 12 が各分割領域毎に時分割的に動作するので、位置メモリ 13 の容量が縮小される。

「第 4 の実施形態」

図 13 は、本発明の第 4 の実施形態の画像信号処理装置 10C の概略的なブロック図である。第 4 の実施形態の画像信号処理装置 10C は、第 1 の実施形態の画像信号処理装置 10 において、さらにインタフェース回路 18 を備える。

画像信号処理装置 10C の欠陥判定回路 14 は、図 11 の画像信号処理装置 10A と同様に、画像信号 Y(n) のレベルと撮像装置の撮像情報とを用いて欠陥画

素の判定を行ってもよい。さらに、エリア指定回路 17 が設けられてもよい。

インタフェース回路 18 は、シリアルバス 19 に接続される。シリアルバス 19 を介して画像信号処理装置 10C が外部のコンピュータ（図示せず）に接続される。コンピュータによって、インタフェース回路 18 を介して位置メモリ回路 13 に格納されたアドレス情報や欠陥判定回路 14 の判定基準が変更される。例えば、コンピュータは、欠陥判定回路 14 に与えられる露光制御情報 E(m) や利得制御情報 G(m) を判定に用いるかどうかを選択する。それら情報 E(m), G(m) が用いられる場合には、コンピュータは、何れの情報を優先させるか等の選択をシリアルバス 19 及びインタフェース回路 18 を介して設定する。また、エリア指定回路 17 の分割方法がコンピュータによって変更される。

インタフェース回路 18 は、欠陥判定回路 14 や欠陥登録回路 15 に直接接続されるようにしてもよい。

次に、本発明の欠陥画素の検出方法を説明する。

図 14 は、本発明の欠陥画素の第 1 の検出方法の手順を示すフローチャートである。

第 1 の検出方法は、画像信号処理装置 10（10A, 10B, 10C）の欠陥候補検出回路 12、位置メモリ回路 13、欠陥判定回路 14、欠陥登録回路 15 及び欠陥補正回路 16 により実行される。

図 14 に示すステップ S10 では、例えば 1 画面分の画像信号を単位として、欠陥候補検出回路 12 は、欠陥候補の画素を検出する（図 7 参照）。検出された欠陥候補の画素の位置を示すアドレス情報が位置メモリ回路 13 に格納される。

ステップ S20 では、例えば次の 1 画面分の画像信号を単位として、欠陥判定回路 14 は、位置メモリ回路 13 に格納されたアドレス情報によって指定される画素の画像信号 Y(n) について、欠陥候補検出回路 12 は検出処理を行う（図 7 参照）。

第 3 のステップ S30 では、欠陥候補であると判定された画素に関して、判定結果が格納される。例えば、欠陥候補であると判定された回数が加算して記録される。

ステップ S40 では、欠陥判定回路 14 での欠陥候補の判定処理回数が所定の

規定回数以内であるかどうか判定される。処理回数が規定回数以内であればステップS 2 0及びステップS 3 0の処理が規定回数に達するまで繰り返される。従って、欠陥判定回路1 4は、複数の画面に渡って欠陥候補の判定を行う。

一方、欠陥候補の判定処理回数が規定回数に達したとき、処理はステップS 5 0に進む。

ステップS 5 0で、欠陥判定回路1 4は、欠陥候補であると判定された回数が基準値を超えている画素を真の欠陥画素と判定する。

欠陥登録回路1 5は、真の欠陥画素と判定された画素のアドレスを位置メモリ回路1 3の二次メモリ1 3 bに登録する。

ステップS 6 0では、欠陥補正回路1 6は、位置メモリ回路1 3に登録されたアドレスの画素の画像信号に対して補正処理を施し、欠陥が補正された画像信号Y' (n)を生成する。

以上のステップS 1 0からステップS 6 0の処理によれば、1画面の画素の状況のみでなく、複数の画面に渡る画素の状況から欠陥画素が判定されるため、被写体の状態に起因する偶発的な欠陥画素と真の欠陥画素とが区別される。

ここで、欠陥候補の判定の繰り返し回数を多くするほど判定に要する時間は長くなるが、より正確な判定結果が得られるようになる。また、ステップS 5 0の真の欠陥画素の判定が、露光制御情報E (m)や利得制御情報情報G (m)、さらには、フォーカス制御情報等の各種制御情報を用いて行われた場合、判定制度がさらに向上する。

図1 5は、本発明の欠陥画素の第2の検出方法の各処理を示すフローチャートである。第2の検出方法は、画像信号処理装置1 0 (1 0 A, 1 0 B, 1 0 C)の欠陥候補検出回路1 2、位置メモリ回路1 3、欠陥判定回路1 4、欠陥登録回路1 5及び欠陥補正回路1 6により実行される。

図1 5に示すステップS 1 0 0では、欠陥候補検出回路1 2は、初期画面の欠陥画素候補を検出し(図7参照)、1画面(あるいは分割領域)の全ての欠陥候補の画素アドレス情報を位置メモリ回路1 3に格納する。

ステップS 2 0 0では、欠陥判定回路1 4は、次の画面の欠陥候補を検出する。

続くステップS 3 0 0で、欠陥判定回路1 4は、ステップS 2 0 0で検出された欠陥候補の画素アドレスがステップS 1 0 0で位置メモリ回路1 3に格納された画素アドレスと一致するかどうかを判定する。

ステップS 4 0 0では、欠陥判定回路1 4は、位置メモリ回路1 3に格納された欠陥候補の画素アドレス情報を更新する。この更新によって、ステップS 3 0 0において一致が確認されたアドレス情報のみが残され、他の一致が確認できなかったアドレス情報は削除される。

あるいは、ステップS 3 0 0において、欠陥判定回路1 4は、所定の回数（画面数）連続して一致が確認できたアドレス情報のみを残すか、所定の回数（画面数）連続して一致が確認できなかったアドレス情報のみを削除してもよい。このアドレス情報を残すか削除するかを選択は、位置メモリ回路1 3の情報を書き換えるかどうかによって行われる。

ステップS 5 0 0では、欠陥情報の更新回数が所定の規定回数以内であればステップS 2 0 0に戻って欠陥候補の検出を繰り返し、更新回数が規定回数に達していれば、ステップS 6 0 0に進む。このように欠陥判定回路1 4は、複数の画面に渡って欠陥候補の判定を行う。

ステップS 6 0 0では、位置メモリ回路1 3に格納されたアドレス情報が欠陥登録回路1 5に取り込まれ、欠陥登録回路1 5は真の欠陥画素のアドレス情報を位置メモリ回路1 3の二次メモリ1 3 bに登録する。

第7のステップS 7 0 0では、欠陥補正回路1 6は、二次メモリ1 3 bに登録されたアドレスの画素の画像信号に対して補正処理を施し、欠陥が補正された画像信号Y' (n)を生成する。

以上のステップS 1 0 0からステップS 7 0 0の処理によれば、1画面の画素の状況のみでなく、複数の画面に渡る画素の状況から欠陥画素が判定されるため、被写体の状態に起因する偶発的な欠陥画素と真の欠陥画素とが区別される。

以上の実施形態は以下のように変更してもよい。

- ・ 第1及び第2の判定基準値L_w、L_bは、3行×5列の14個の周辺画素や、5行×5列の24個の周辺画素信号に従って設定されてもよい。

- ・ 欠陥判定回路 14 は、複数フィールドで欠陥判定動作を継続し、欠陥画素の位置を決定した後は、欠陥候補検出回路 12 と共にその動作を停止してもよい。

。

- ・ 欠陥判定回路 14 は、所定の周期で欠陥判定動作を繰り返してもよい。

本発明の実施形態を図面に関連付けて説明したが、本発明は上記に限定されず、添付した請求の範囲および等価物で変更されてもよい。

請求の範囲

1. 複数の画素の信号を処理するための画像信号処理装置は、
目標画素に対応する信号と目標画素に隣接する複数の周辺画素に対応する信号を格納する画像メモリ回路と、
前記画像メモリ回路に接続され、前記目標画素の信号を前記複数の周辺画素の信号に応じて設定される判定基準値と比較して欠陥画素の候補を検出する欠陥候補検出回路と、
前記欠陥候補検出回路に接続され、同検出回路により検出された欠陥画素候補の複数の画面に渡る連続性に従って欠陥画素を判定する欠陥判定回路と、
前記欠陥判定回路に接続され、同判定回路で判定された欠陥画素の位置の情報を格納する位置メモリ回路と、
前記位置メモリ回路に接続され、同メモリ回路に格納された欠陥情報に応じて欠陥のある目標画素の信号を補正する欠陥補正回路と、
を備える。
2. クレーム 1 に記載の画像信号処理装置において
前記欠陥候補検出回路は、前記複数の周辺画素の信号の最大レベルと最小レベルとの差を算出し、前記複数の周辺画素の信号の平均レベルにレベル差を加算して第 1 の判定基準値を生成し、前記レベル差を前記平均レベルから減算して第 2 の判定基準値判定基準値を生成する。
3. クレーム 2 に記載の画像信号処理装置において
前記欠陥候補検出回路は、前記第 1 及び第 2 の判定基準値の各々を複数のサブ判定基準値に分けて生成し、各サブ判定基準値を用いて欠陥候補を検出する。
4. クレーム 3 に記載の画像信号処理装置において
前記欠陥判定回路は、複数フィールドで連続的に欠陥判定動作を行って

画素欠陥の位置を決定し、その後、前記欠陥候補検出回路と共に動作を停止する。

5. クレーム 4 に記載の画像信号処理装置において
前記欠陥判定回路は、所定の周期で欠陥判定動作を繰り返す。
6. クレーム 1 に記載の画像信号処理装置において
前記位置メモリ回路は、
前記欠陥画素の位置情報を前記欠陥候補検出回路の検出結果と共に一時的に格納する第 1 のメモリと、
前記第 1 のメモリ部から読み出された前記欠陥画素の位置情報を格納する不揮発性の第 2 のメモリと、
を含む。
7. クレーム 1 に記載の画像信号処理装置において
前記欠陥判定回路は、前記画像信号を生成する撮像装置から撮像制御情報を受け取り、その撮像制御情報と前記判定基準値とを用いて欠陥画素を判定する。
8. クレーム 7 に記載の画像信号処理装置において
前記欠陥判定回路は、前記画像信号を生成する撮像装置から撮像制御情報を受け取り、その撮像制御情報から被写体の輝度を推定し、その推定された被写体の輝度が所定の範囲のときに前記判定基準値を用いて欠陥画素を判定する。
9. クレーム 1 に記載の画像信号処理装置において
前記欠陥判定回路は、1 画面の複数の分割領域の各々について欠陥画素を判定する。

10. クレーム9に記載の画像信号処理装置において
前記欠陥判定回路は、1画面の複数の分割領域の各々に対して時分割的に繰り返し欠陥画素を判定する。
11. クレーム1に記載の画像信号処理装置において
前記欠陥判定回路及び前記補正情報メモリ回路の少なくとも一方は、外部機器とバスを介して接続され、外部機器により欠陥画素の判定基準値を含む判定条件が変更される。
12. 複数の画素における欠陥画素を検出するための方法は、
目標画素の信号を目標画素に隣接する複数の周辺画素の信号に応じて設定される判定基準値と比較して欠陥画素の候補を検出するステップと、
検出された欠陥画素候補の位置を記憶するステップと、
前記記憶ステップで記憶された位置に対応する目標画素の信号と前記判定基準値とを再度比較するステップと、
前記再度比較ステップの比較結果を記憶するステップと、
前記再度比較ステップ及び比較結果記憶ステップを所定回数繰り返すステップと、
前記繰り返しステップによって得られる複数の比較結果に従って欠陥画素を検出するステップと、
を備える。
13. クレーム12に記載の欠陥画素の検出方法において、
前記欠陥画素候補の検出ステップは、
前記目標画素に隣接する複数の周辺画素の信号から平均レベルを算出するステップと、
前記複数の周辺画素の信号から最大レベル及び最小レベルを検出するステップと、
前記最大レベルと前記最小レベルとの差を算出するステップと、

前記レベル差を前記平均レベルに加算または減算することにより判定基準値を設定するステップと、
を含む。

14. クレーム13に記載の欠陥画素の検出方法は、さらに、
検出された欠陥画素の画像信号に対して補正処理を施し、欠陥が補正された画像信号を生成するステップを備える。

15. クレーム12に記載の欠陥画素の検出方法において、
前記欠陥画素を検出するステップは、
複数の比較結果と画像信号を生成する撮像装置の撮像条件とに従って欠陥画素を検出すること
を含む。

16. 複数の画素における欠陥画素を検出するための方法は、
目標画素の信号を目標画素に隣接する複数の周辺画素の信号に応じて設定される判定基準値と比較して第1の欠陥画素の候補を検出するステップと、
第1の欠陥画素候補の位置を記憶するステップと、
目標画素の信号を前記判定基準値と比較して第2の欠陥画素の候補を検出するステップと、
前記第1の欠陥画素候補の位置と前記第2の欠陥画素候補の位置とが一致するかどうかを判定するステップと、
前記記憶された第1の欠陥画素候補の位置情報を、一致判定ステップで一致すると判定された第1の欠陥画素候補の位置情報のみが残るように更新するステップと、
前記第2の欠陥画素候補検出ステップ、前記一致判定ステップ、及び前記更新ステップとを所定回数繰り返すステップと、
前記繰り返しステップによって得られる欠陥画素候補の位置情報に従っ

て欠陥画素を検出するステップと、
を備える。

17. クレーム16に記載の欠陥画素の検出方法において、
前記第1及び第2の欠陥画素候補の検出ステップは、
前記目標画素に隣接する複数の周辺画素の信号から平均レベルを算出するステップと、
前記複数の周辺画素の信号から最大レベル及び最小レベルを検出するステップと、
前記最大レベルと前記最小レベルとの差を算出するステップと、
前記レベル差を前記平均レベルに加算または減算することにより判定基準値を設定するステップと、
を含む。
18. クレーム17に記載の欠陥画素の検出方法は、さらに、
検出された欠陥画素の画像信号に対して補正処理を施し、欠陥が補正された画像信号を生成するステップを備える。

開示内容の要約

欠陥候補検出回路で目標画素の画像信号を周辺画素の画像信号と対比して欠陥画素候補を検出し、欠陥画素候補のアドレス情報を位置メモリ回路に格納する。欠陥判定回路は、位置メモリ回路に格納されたアドレス情報に基づいて、欠陥画素の判定を所定回数繰り返し、その判定結果の連続性から欠陥画素のアドレス情報を決定する。欠陥登録回路は、決定されたアドレス情報を位置メモリ回路に登録する。欠陥補正回路は、登録された欠陥画素のアドレス情報に応じて画像信号を補正して、補正画像信号を生成する。

Fig.1 (Prior Art)

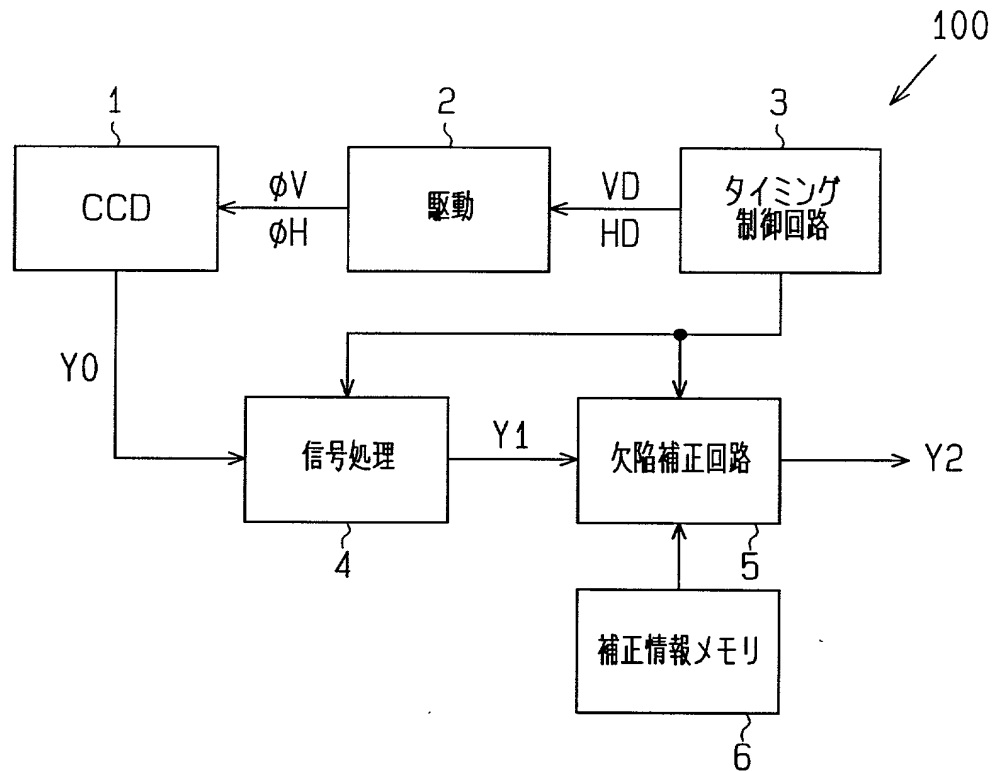


Fig.2

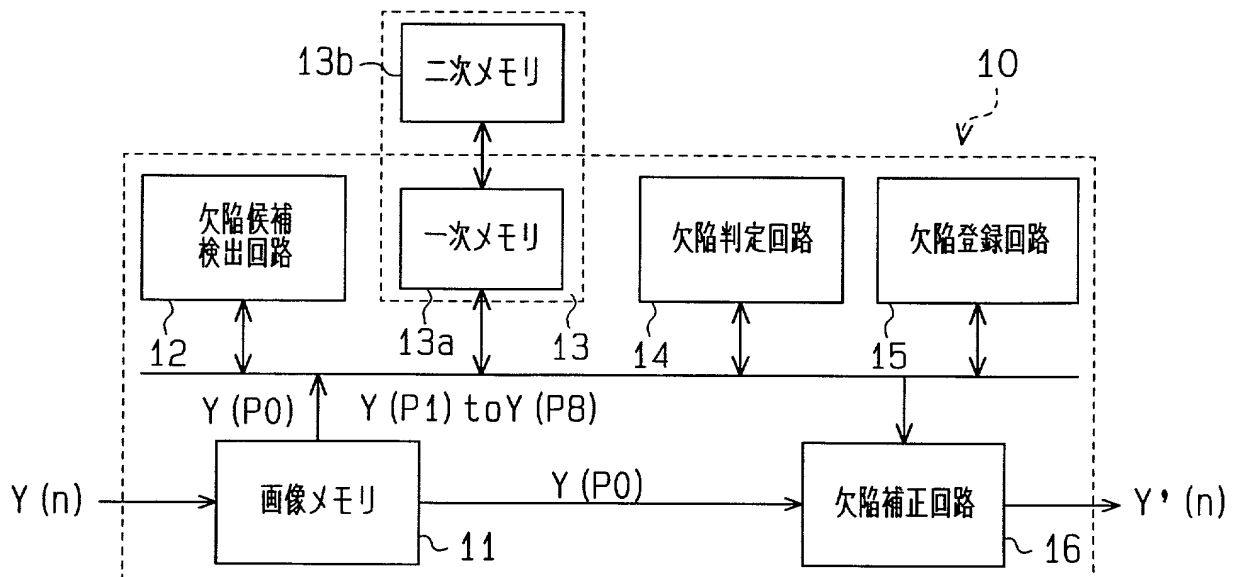


Fig.3

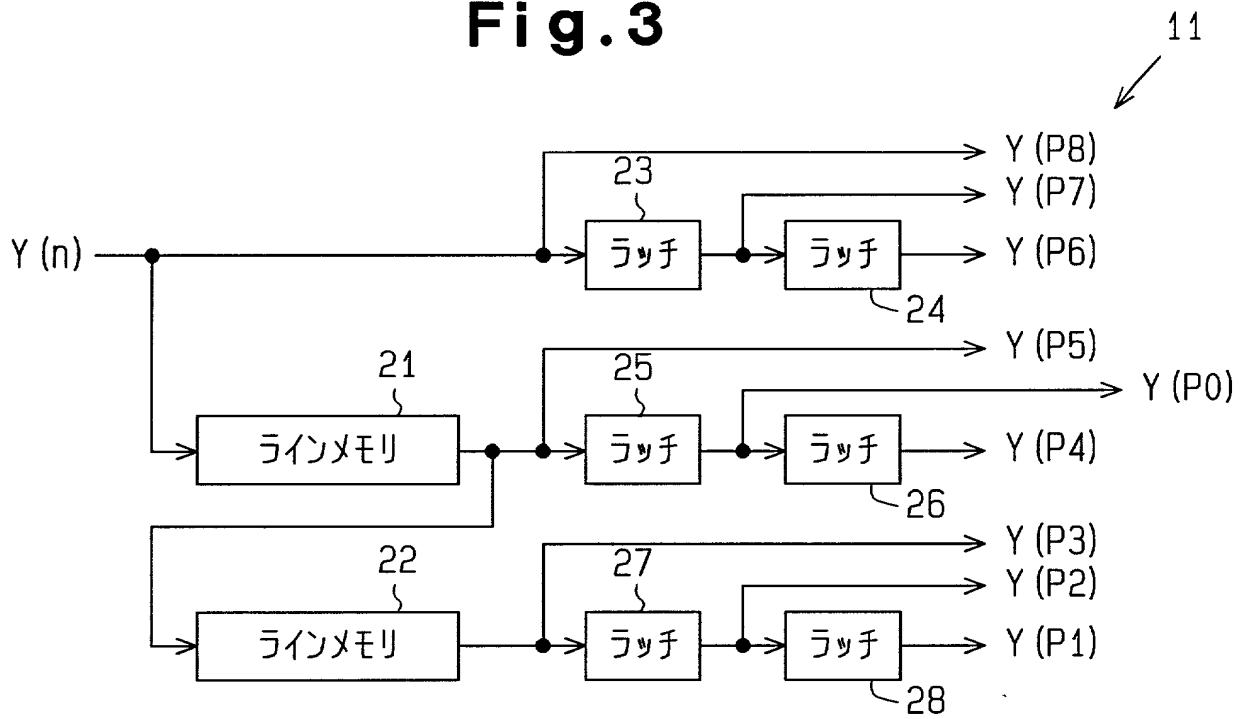


Fig.4

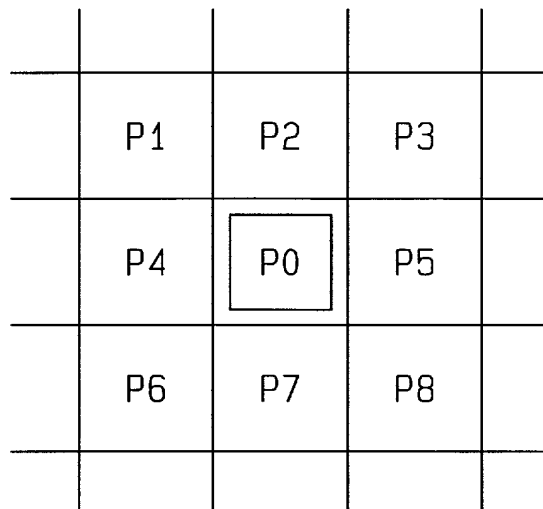


Fig. 5

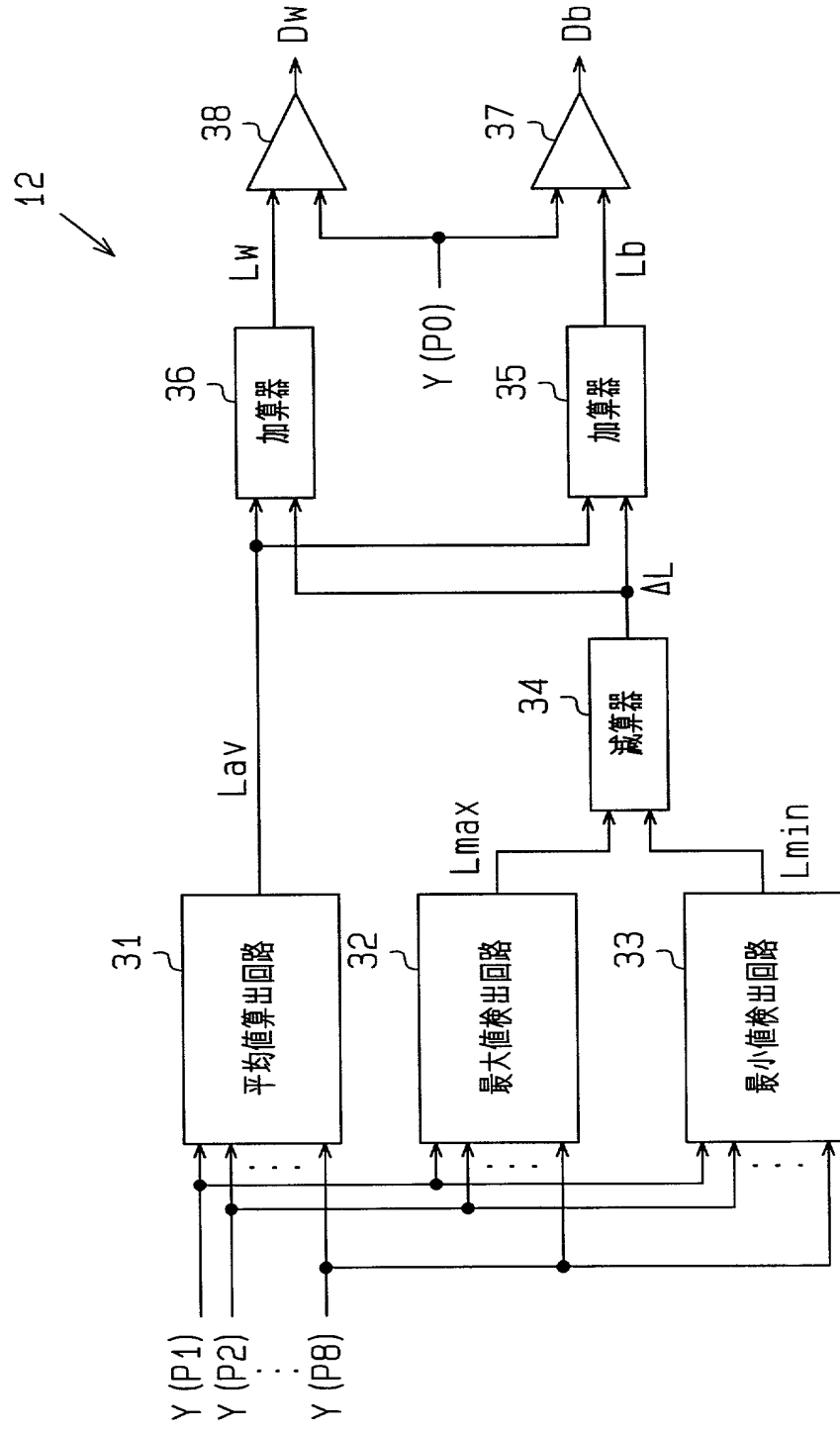


Fig.6

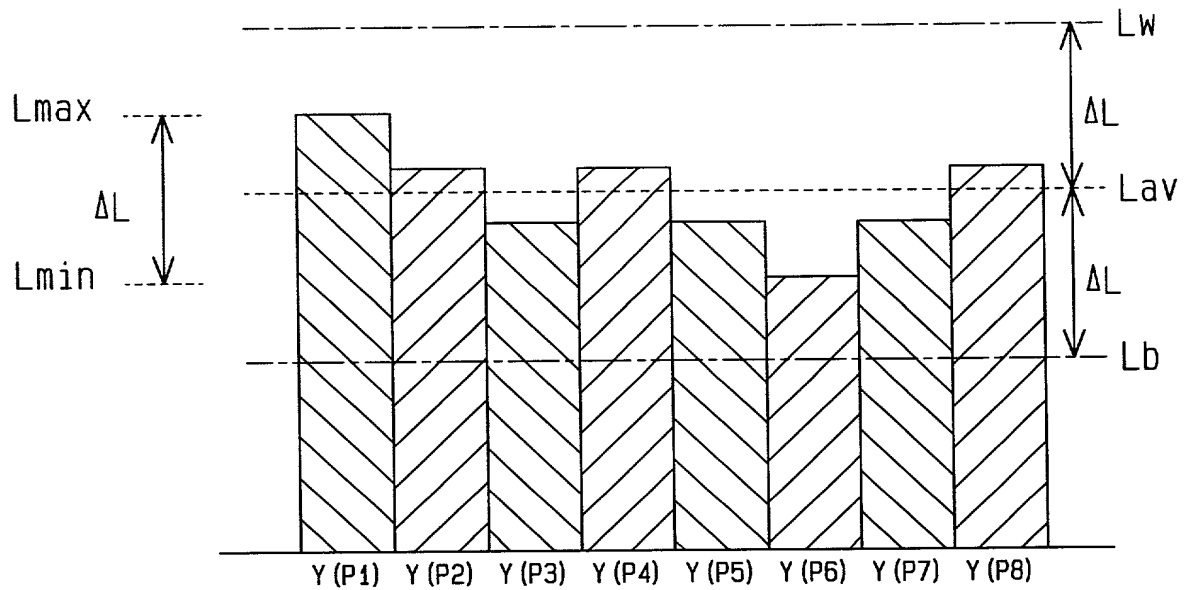


Fig.7

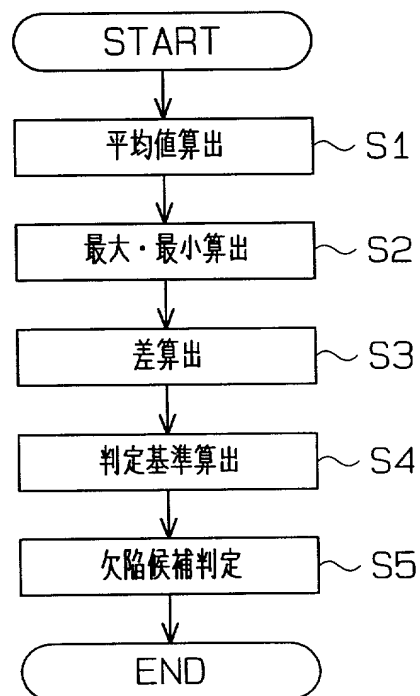


Fig. 8

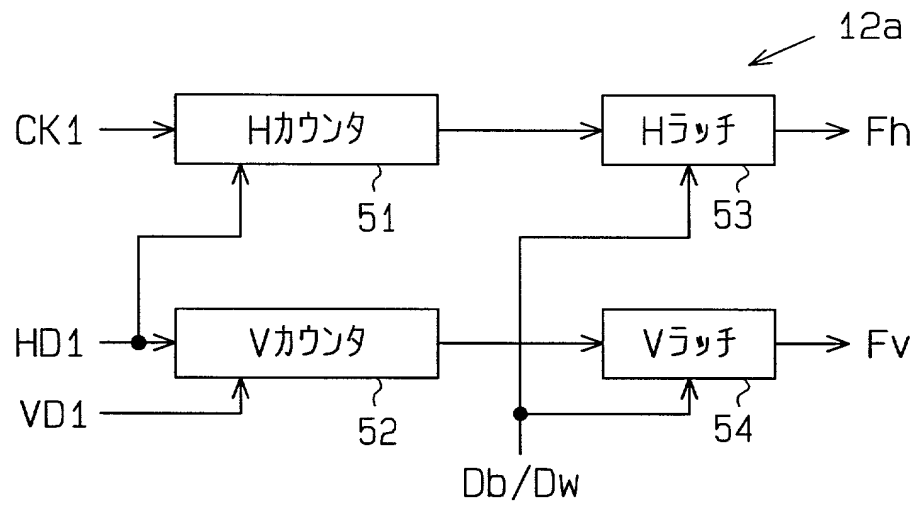


Fig. 9

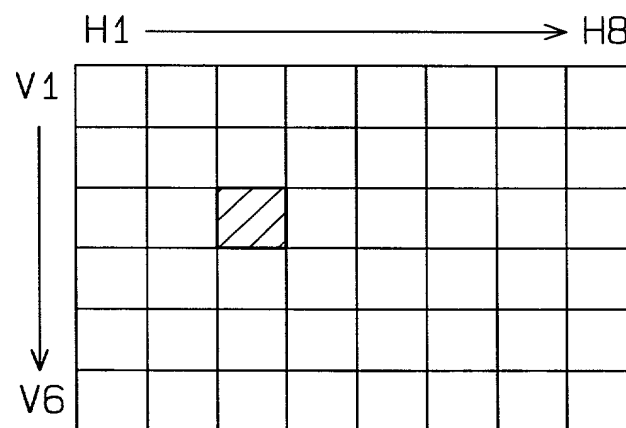


Fig.10

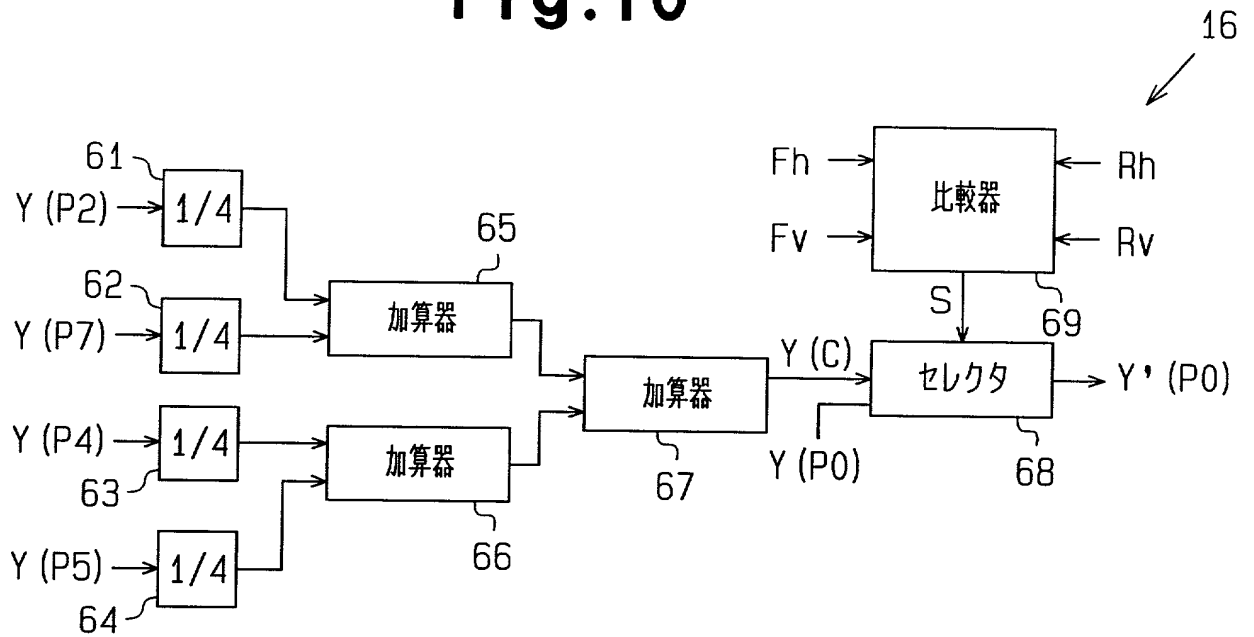


Fig.11

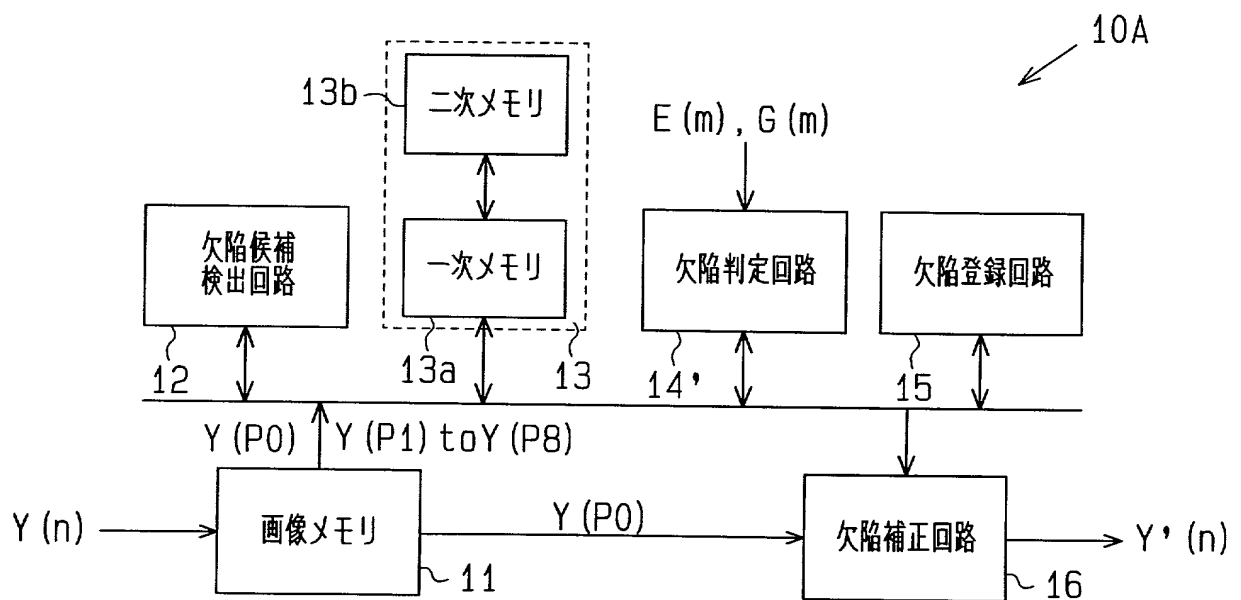


Fig.12

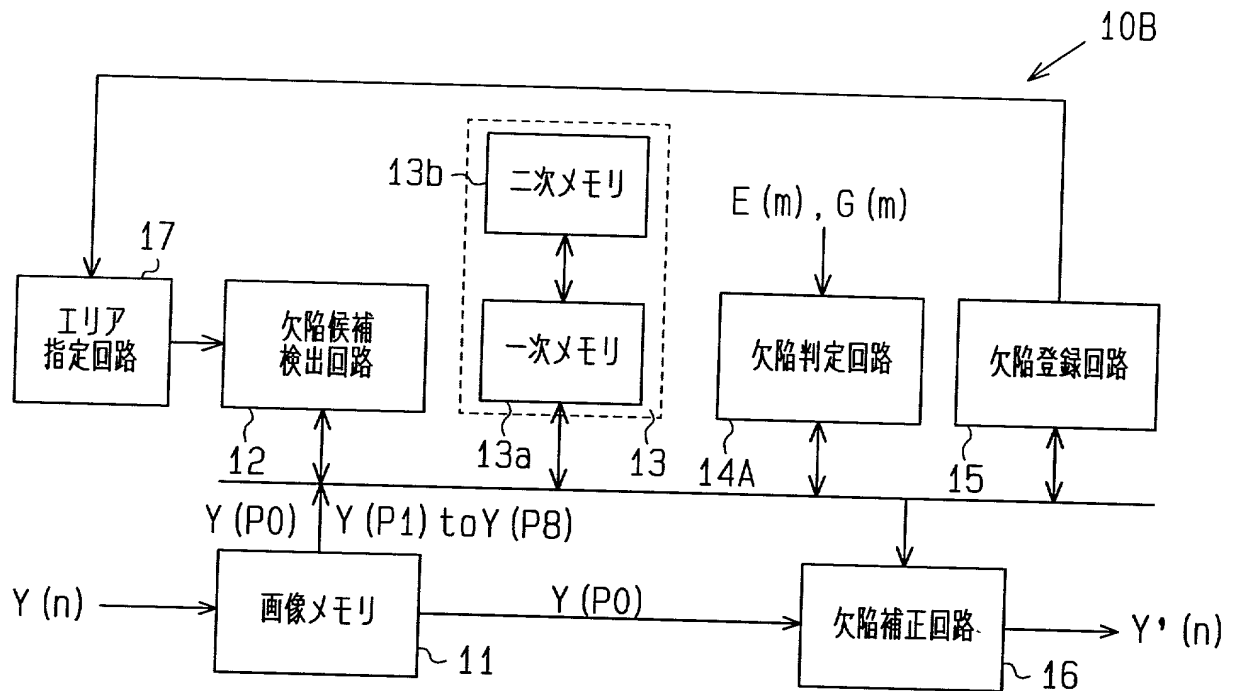


Fig.13

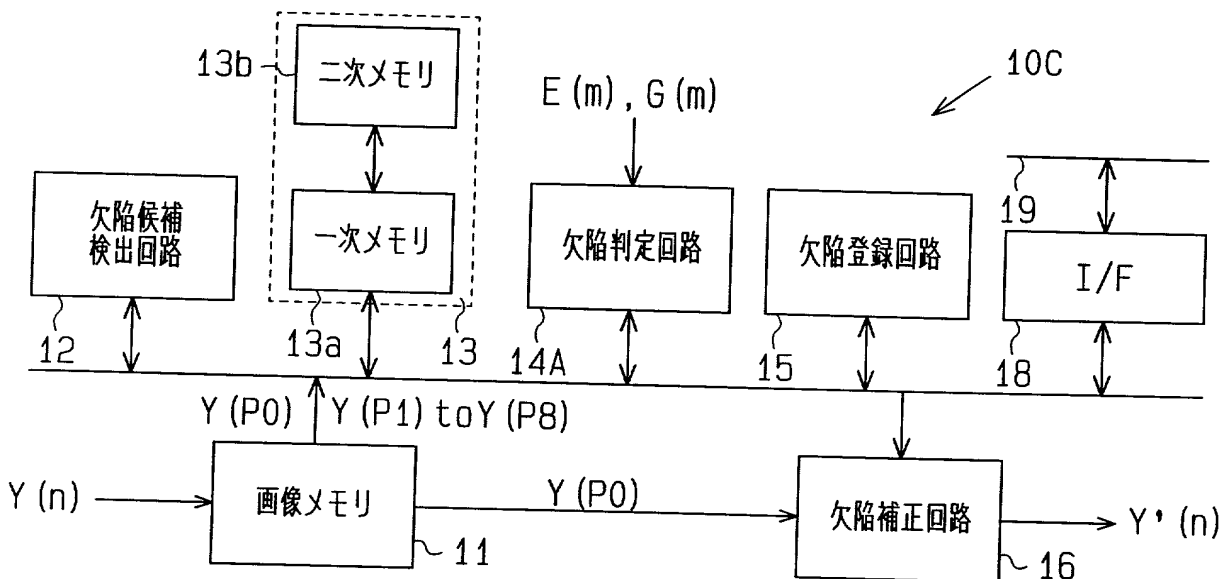


Fig.14

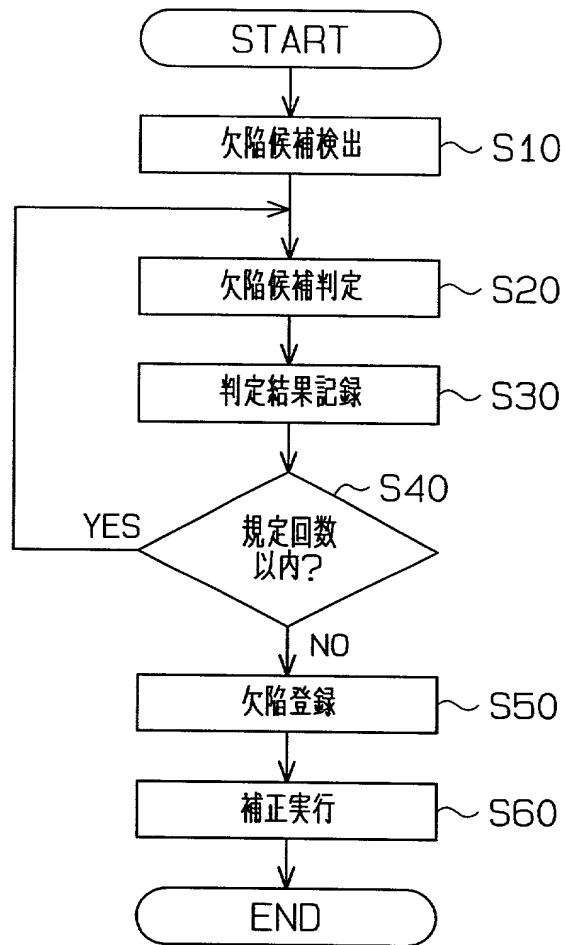
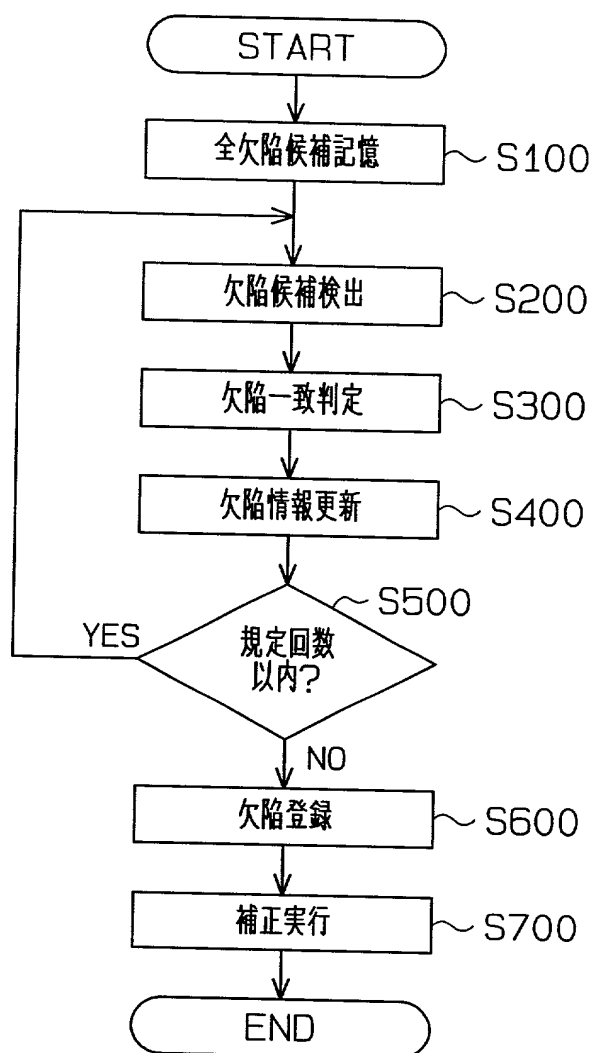


Fig.15



COMBINED DECLARATION AND POWER OF ATTORNEY

As the below named inventor, I hereby declare that:

My residence, post office address and citizenship are as stated below next to my name.

I believe I am an original, first and sole inventor of the subject matter which is claimed and for which a patent is sought on the invention entitled IMAGE SIGNAL PROCESSOR AND DEFICIENT PIXEL DETECTION METHOD

_____ the specification of which

X is attached hereto.

_____ was filed on _____

as Application Serial No. _____ and was amended on _____.

I hereby state that I have reviewed and understand the contents of the above-identified specification, including the claims, as amended by any amendment referred to above.

I acknowledge the duty to disclose information which is material to the examination of this application in accordance with Title 37, Code of Federal Regulations, §1.56(a).

I hereby claim foreign priority benefits under Title 35, United States Code, §119 of any foreign application(s) for patent or inventor's certificate listed below and have also identified below any foreign application for patent or inventor's certificate having a filing date before that of the application on which priority is claimed:

Prior Foreign Application(s):

Pat. Appln. No.

2000-282166

Japan

18 / 09 / 2000

XX

Yes

No

Number

Country

Date Filed

Pat. Appln. No.

11-305805

Japan

27 / 10 / 1999

XX

Yes

No

Number

Country

Date Filed

Pat. Appln. No.

11-307125

Japan

28 / 10 / 1999

XX

Yes

No

Number

Country

Date Filed

I hereby appoint the following attorneys to prosecute this application and to transact all business in the Patent and Trademark Office connected therewith: Y. Rocky Tsao, Reg. No. 34,053, Paul T. Clark, Reg. No. 30,162; David L. Feigenbaum, Reg. No. 30,378; Gilbert H. Hennessey, Reg. No. 25,759; Robert E. Hillman, Reg. No. 22,837; G. Roger Lee, Reg. No. 28,963; Ronald E. Myrick, Reg. No. 26,315; Eric L. Prael, Reg. No. 32,590; Richard M. Sharkansky, Reg. No. 25,800; Rene D. Tegtmeyer, Reg. No. 33,567; John N. Williams, Reg. No. 18,948; Charles C. Winchester, Reg. No. 21,040; Frank R. Occhiuti, Reg. No. 35,306; and Evelyn D. Shen, Reg. No. 39,834.

Address all telephone calls to Y. Rocky Tsao at telephone number (617) 542-5070, and address all correspondence to Y. Rocky Tsao, Fish & Richardson P.C., 225 Franklin Street, Boston, MA 02110-2804.

I hereby declare that all statements made herein of my own knowledge are true and that all statements made on information and belief are believed to be true; and further that these statements were made with the knowledge that willful false statements and the like so made are punishable by fine or imprisonment, or both, under Section 1001 of Title 18 of the United States Code and that such willful false statements may jeopardize the validity of the application or any patents issued thereon.

Full Name of Inventor Tohru WATANABE

Inventor's Signature Tohru Watanabe Date October 23, 2000

Residence Ogaki-shi, Japan

Citizenship Japan

Post Office Address 2-218-2, Aoyagi-cho, Ogaki-shi, Gifu 503-0961 Japan

APPLICATION
FOR
UNITED STATES LETTERS PATENT

TITLE: IMAGE SIGNAL PROCESSOR AND DEFICIENT PIXEL
DETECTION METHOD

APPLICANT: TOHRU WATANABE

CERTIFICATE OF MAILING BY EXPRESS MAIL

Express Mail Label No. EL245474077US

I hereby certify under 37 CFR §1.10 that this correspondence is being deposited with the United States Postal Service as Express Mail Post Office to Addressee with sufficient postage on the date indicated below and is addressed to the Commissioner for Patents, Washington, D.C. 20231.

Date of Deposit October 25, 2000

Signature

Samantha Bell
Typed or Printed Name of Person Signing Certificate